

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10191236 A**(43) Date of publication of application: **21 . 07 . 98**

(51) Int. Cl.

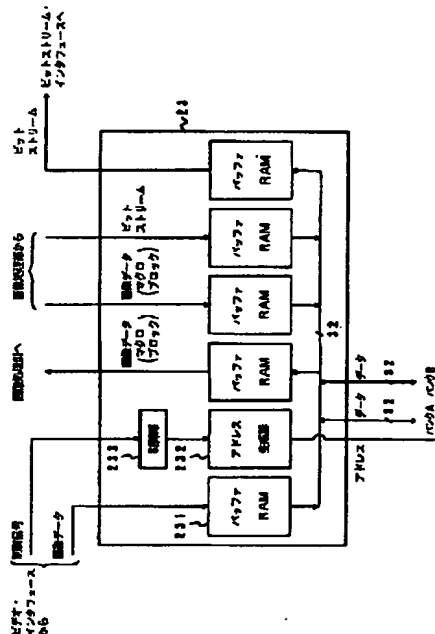
**H04N 5/907****H04N 5/92****H04N 7/32**(21) Application number: **08344896**(71) Applicant: **NEC CORP**(22) Date of filing: **25 . 12 . 96**(72) Inventor: **TAKANO HIDETO****(54) IMAGE PROCESSOR AND IMAGE DATA  
MEMORY ARRANGING METHOD**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an image processor having the SDRAM where transfer efficiency is improved at the time of executing an image processing in a macro block unit.

**SOLUTION:** The image processor is provided with a buffer RAM 231 for temporarily storing image data, an address generator 232 for generating the address of the SDRAM and a control part 233 for controlling the address generation of the address generator 232. The control part 233 controls the address generator 232 so that respective pixel data which are to belong to the same macro block are stored in the same row in the same bank and the upper/lower/ right/left macro blocks which are adjacent on the frame image are stored in the different banks among image data stored in the buffer RAM 231.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-191236

(43)公開日 平成10年(1998)7月21日

**(51) Int.Cl.<sup>6</sup>**

**識別記号**

FI

H O 4 N 5/907  
5/92  
7/32

H O 4 N 5/907  
5/92  
7/137

**B  
H  
Z**

審査請求 有 請求項の数 8 O L (全 10 頁)

(21)出願番号 特願平8-344896

(22)出願日 平成8年(1996)12月25日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 高野 秀人

東京都港区芝五丁目7番1号 日本電気株  
式会社内

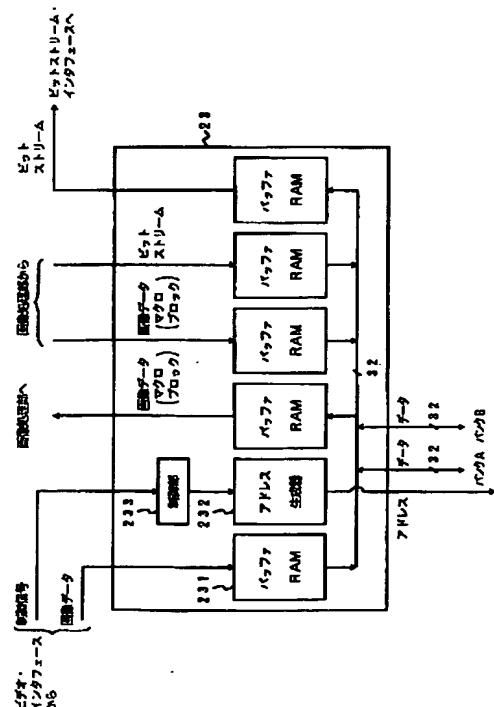
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 画像処理装置及び画像データメモリ配置方法

(57) 【要約】

【課題】 マクロブロック単位で画像処理を行う際における転送効率の改善が図られたSDRAMを有する画像処理装置を提供すること。

【解決手段】 本発明の画像処理装置は、画像データを一時的に記憶するためのバッファRAM231、SDRAMのアドレスを生成するためのアドレス生成器232、アドレス生成器232のアドレス生成を制御する制御部233を備え、制御部233が、バッファRAM231に記憶された画像データの内、同一のマクロブロックに属すべき各画素データを、同一のバンクにおける同一のロウに記憶させる様に、更に、フレーム画像上の上下左右において隣接するマクロブロック同士が異なるバンクに記憶される様に、アドレス生成器232を制御する。



## 【特許請求の範囲】

【請求項1】 複数のバンクを有する同期型ダイナミックラムを備え、複数の画素データからなる画像データを順次受信し、前記同期型ダイナミックラムに記憶すると共に、所定数の前記画素データからなるマクロブロック単位で前記画像データを符号化・圧縮する画像処理装置において、

前記画像データを受けて、一時的に記憶するためのバッファ手段と、

該バッファ手段に一時的に記憶された前記画像データを前記同期型ダイナミックラムに格納する際に、前記同期型ダイナミックラムのどこに格納するかを示すアドレスを生成するためのアドレス生成手段と、

前記バッファ手段に記憶された前記画像データの内、同一の前記マクロブロックに属すべき前記各画素データを、同一の前記バンクにおける同一のロウに記憶させる様に、前記アドレス生成手段を制御するための制御手段とを備えることを特徴とする画像処理装置。

【請求項2】 請求項1に記載の画像処理装置において、

前記制御手段は、前記画像データを受けて、一枚の画像を構成する複数のマクロブロックに関し、前記画像上の上下左右において隣接するマクロブロック同士を、互いに異なるバンクに記憶させる様に、前記アドレス生成手段を制御することを特徴とする画像処理装置。

【請求項3】 請求項1又は請求項2のいずれかに記載の画像処理装置において、

前記同期型ダイナミックラムは、第1及び第2のバンクを備えていることを特徴とする画像処理装置。

【請求項4】 請求項1乃至請求項3のいずれかに記載の画像処理装置において、

前記同期型ダイナミックラムは、特定のバンクにおける特定のロウにアクセスしていた場合、次に、該特定のロウと異なるロウにアクセスする際には、該異なるロウをアクティブにするためのアクティブ・コマンドを発行すると共に、前記特定のロウに対してプリチャージを行うことを特徴とする画像処理装置。

【請求項5】 請求項1乃至請求項4のいずれかに記載の画像処理装置において、

前記マクロブロックは、第1の所定個数のサブブロックを備えており、

該サブブロックの夫々は、第2の所定個数の一連の前記画素データで構成されるものであり、

夫々の前記画像データを構成する前記画素データは、ラスタスキャン順に入力されて、前記バッファ手段に一時的に記憶され、

前記制御手段は、前記バッファ手段に記憶された前記画像データの内、同一のマクロブロック内の前記サブブロック毎に処理し、同一のマクロブロックに属すべき各サブブロックを、同一の前記バンクにおける同一のロウに

記憶させる様に、前記アドレス生成手段を制御することとを特徴とする画像処理装置。

【請求項6】 請求項5に記載の画像処理装置において、

前記マクロブロックは、16個の前記サブブロックを備えており、

該サブブロックの夫々は、16個の前記画素データで構成されることを特徴とする画像処理装置。

【請求項7】 複数のバンクを有する同期型ダイナミックラムを備え、複数の画素データからなる画像データを順次受信し、前記同期型ダイナミックラムに記憶すると共に、所定数の前記画素データからなるマクロブロック単位で前記画像データを符号化・圧縮する画像処理装置において、前記画像データを前記同期型ダイナミックラム内に配置する画像データメモリ配置方法であって、前記画像データを受けて、同一の前記マクロブロックに属すべき前記各画素データを、同一の前記バンクにおける同一のロウに記憶させることを特徴とする画像データメモリ配置方法。

【請求項8】 請求項7に記載の画像データメモリ配置方法において、

前記画像データを受けて、一枚の画像を構成する複数のマクロブロックに関し、前記画像上の上下左右において隣接するマクロブロック同士を、互いに異なるバンクに記憶させることを特徴とする画像データメモリ配置方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、画像データをマクロブロック単位に圧縮する画像処理装置に関し、特に、フレームメモリとして同期型ダイナミックラムを有する画像処理装置に関する。

## 【0002】

【従来の技術】従来、この種の画像処理装置40としては、図8に示される様に、MPEG (Moving Picture Experts Group) 方式ビデオエンコーダ50と、フレームメモリ30とを備えているものが挙げられる。

【0003】一般に、フレームメモリ30としては、複数のバンクを備え、高速データ伝送が可能な同期型ダイナミックラム (SDRAM; Synchronous Dynamic Random Access Memory) を使用している。ここで、バンクとは、並列にアクセスすることができるメモリ構成の数をいう。尚、以下においては、A及びBの二つのバンクを備えたSDRAM30を例にとり説明することとする。

【0004】また、MPEG方式ビデオエンコーダ50は、画像データをMPEG方式に符号化する画像処理部51と、複数の画素データからなる画像データが順次入力されるビデオ・インタフェース52と、該ビデオ・インタフェース52に接続されると共に画像処理部51及びフレームメモリ (SDRAM) 30との間でデータを

送受するためのSDRAM・インタフェース53と、SDRAM・インタフェース53に接続されると共にMP EG方式に符号化して得られるビットストリームを外部に出力するためのストリーム・インタフェース54とを備えている。尚、ここで例として挙げているMP EG方式においては、符号化方法は規定されていないことから、画像処理部51は、該符号化方法に応じた任意の構成のものを使用できる。

【0005】ここで、MP EG方式の最も大きな特徴は、連続する画像（フレーム又はフィールド）間に存在する相関を利用し、動き補償と呼ばれる技術によって、符号化情報量を低減することにある。

【0006】この動き補償を行うためには、適切な動きベクトルを見つけださなければならない。また、MP EG方式において、この動きベクトルを見つける方法は、規定されていないものの、動きベクトルを求める画像領域の大きさは、16画素×16画素の正方領域と規定されており、以下では、この正方領域を構成する画素データの集まりをマクロブロックと呼ぶ。更に詳しくは、マクロブロックは、16画素×16ラインの正方形の輝度成分データYと、以下に示す符号化形式に従ったデータ量を有する2つの色差成分データ、即ち、青色差成分データC<sub>b</sub>及び赤色差成分データC<sub>r</sub>を備えている。尚、符号化形式としては、4:4:4方式、4:2:2方式、4:1:1方式、及び4:2:0方式等が挙げられる。また、このマクロブロックの大きさは、オーバーヘッド情報となる動きベクトルの情報量と動き補償の効率の点から決定されている。

【0007】尚、画像処理装置40に入力される画像データは、NTSC方式のテレビジョン信号の様に、ラスタスキャンにより得られたものとする。従って、各画像データは、スキャン順に、且つ、飛び越し走査によって得られた1ラインおきのテレビジョン信号に対応している。

【0008】上述した従来の画像処理装置40においては、ラスタスキャン順に入力された画像データについて、例えば、輝度成分データYに関し、図9に示される様にして、各ライン毎に、4ワード（1ワード＝4画素）ずつ交互に、バンクA、Bに記憶させる。このように、同一のマクロブロックに属する輝度成分データY中の4ワードの夫々は、相互に何等関係なく、バンクA又はBのいずれか一方に記憶されている。また、画像処理部51は、SDRAM30に記憶されている画像データをもとに符号化処理をして得られるビットストリームを、SDRAM・インタフェース53及びストリーム・インタフェース54を介して出力する。

【0009】一方、輝度成分データYに関して上記説明において例示した様な形式でSDRAM30に記憶された画像データは、MP EG方式等により、一般に、動き補償を行う画像処理時において、以下に示す手順に従

い、マクロブロック単位でアクセスされる。尚、以下に示す例は、バースト長が4ワードである場合であり、図9に3つのサブブロックN、N+4、N+15について例示してある様に、4ワードで一つのサブブロックが構成され、マクロブロックは、サブブロックN～N+15の16個サブブロックからなるものとして一般化して表されることが出来る。

【0010】まず、マクロブロックにおけるサブブロックNの左端のアドレスを指定して、読出又は書込コマンドをSDRAM30のバンクAに対して発行する。この例におけるSDRAM30はバースト長が4ワードであるので、サブブロックNの4ワードを連続してデータ転送する。次にサブブロックN+1の左端のアドレスを指定して、読出又は書込コマンドをSDRAMのバンクBに対して発行し、サブブロックN+1の4ワードを連続してデータ転送を行う。同様にして、バンクA及びBを4ワード毎に交互にアドレス指定して、16個のサブブロック全てについてのデータ転送を行うことにより、1マクロブロックを構成するデータの転送が完了する。

【0011】

【発明が解決しようとする課題】しかしながら、上述した従来の画像処理装置40は、以下に示す様に、データの転送効率が悪いという問題点を有していた。

【0012】ここで、一般に、SDRAMにおいて、各バンク内のロウを指定するアドレスを変える場合、アクティブ・コマンドを発行しなければならないと共に、変える前のロウに対してプリチャージを行う必要がある。

【0013】一方、従来の画像処理装置40においては、輝度成分データYについて例示した様に、4ワード×16サブブロックのマクロブロックを、4ワード毎に、交互にバンクA及びBに対して記憶してあることから、SDRAM30と画像処理部との間でマクロブロックのデータ転送を行うためには、2つのバンクA及びBに対して、4ワード毎に交互にアクセスする必要がある。

【0014】即ち、従来の画像処理装置40においては、4ワード転送する毎に、ロウアドレスを変更しなければならないが、結果として、変更後のロウをアクティブにするために、アクティブ・コマンドを発行しなければならないと共に、変更前のロウに対してプリチャージしなければならない。このように、従来の画像処理装置40においては、該アクティブ・コマンド及びプリチャージに要するクロック数が必要となることから、転送効率を良くすることができなかった。

【0015】そこで、本発明の目的は、SDRAMを有する画像処理装置であって、マクロブロック単位で画像処理を行う際における転送効率の改善の図られた画像処理装置を提供することにある。

【0016】更に、本発明の他の目的は、上記画像処理装置において、マクロブロック単位で画像データを扱

ずに画像処理を行う場合にあっては、転送効率の改善の図られた画像処理装置を提供することにある。

#### 【0017】

【課題を解決するための手段】本発明は、上述した課題を解決するために、入力される画像データをマクロブロック毎に、同一のバンクにおける同一のロウに記憶させることにより、マクロブロック単位でデータ転送・処理を行う際に、従来アクティブ・コマンド等のために必要とされていたクロック数を低減させることとした。

【0018】更に、本発明は、一枚の画像（フレーム画像）を構成する複数のマクロブロックに関し、画像上の上下左右において隣接するマクロブロック同士を、互いに異なるバンクに記憶させることにより、マクロブロックとは異なるデータ単位で画像処理を行う際においても、転送効率を高めることとした。例えば、A及びBの2つのバンクを有するSDRAMを備えた画像処理装置の場合、フレーム画像をマクロブロック単位に分割し、更に、各マクロブロックを記憶するバンクが当該フレーム画像上において市松状に割り当てられる様にして、各マクロブロックの記憶先のバンクを決定する。

【0019】以下に、本発明による具体的解決手段としての画像処理装置の例を挙げる。

【0020】即ち、本発明によれば、複数のバンクを有する同期型ダイナミックラムを備え、複数の画素データからなる画像データを順次受信し、前記同期型ダイナミックラムに記憶すると共に、所定数の前記画素データからなるマクロブロック単位で前記画像データを符号化・圧縮する画像処理装置において、前記画像データを受けて、一時的に記憶するためのバッファ手段と、該バッファ手段に一時的に記憶された前記画像データを前記同期型ダイナミックラムに格納する際に、前記同期型ダイナミックラムのどこに格納するかを示すアドレスを生成するためのアドレス生成手段と、前記バッファ手段に記憶された前記画像データの内、同一の前記マクロブロックに属すべき前記各画素データを、同一の前記バンクにおける同一のロウに記憶させる様に、前記アドレス生成手段を制御するための制御手段とを備えることを特徴とする画像処理装置が得られる。

【0021】また、本発明によれば、前記画像処理装置において、前記制御手段は、前記画像データを受けて、一枚の画像を構成する複数のマクロブロックに関し、前記画像上の上下左右において隣接するマクロブロック同士を、互いに異なるバンクに記憶させる様に、前記アドレス生成手段を制御することを特徴とする画像処理装置が得られる。

【0022】ここで、前記同期型ダイナミックラムは、第1及び第2のバンクを備えており、特定のバンクにおける特定のロウにアクセスしていた場合、次に、該特定のロウと異なるロウにアクセスする際には、該ロウアドレスをアクティブにするためのアクティブコマンドを発

行すると共に、該特定のロウに対してプリチャージを行うこととする。

【0023】また、前記マクロブロックは、第1の所定個数のサブブロックを備えており、該サブブロックの夫々は、第2の所定個数の一連の前記画素データで構成されるものであり、夫々の前記画像データを構成する前記画素データは、ラスタスキャン順に入力されて、前記バッファ手段に一時的に記憶され、前記制御手段は、前記バッファ手段に記憶された前記画像データを参照し、同一のマクロブロック内の前記サブブロック毎に処理し、同一のマクロブロックに属する各サブブロックを、同一の前記バンクにおける同一のロウに記憶させる様に、前記アドレス生成手段を制御する。尚、例えば、MPEG方式においては、前記サブブロックは、16個の前記画素データで構成されており、前記マクロブロックは、16個のサブブロックで構成されている。即ち、前記マクロブロックは、16画素×16画素の正方領域からなる。

#### 【0024】

【発明の実施の形態】以下に本発明の実施の形態の画像処理装置について、図面を参照して説明することとする。尚、本実施の形態においても、従来例と同様、MPEG方式のビデオエンコーダと、フレームメモリとを備えている画像処理装置を例に挙げて説明する。

【0025】本実施の形態の画像処理装置10は、図1に示される様に、MPEG方式ビデオエンコーダ20と、フレームメモリとしてのSDRAM30とを備えている。尚、本実施の形態においても、従来例と同様、2つのバンクA及びBを備えたSDRAMを例に挙げ、説明することとする。

【0026】MPEG方式ビデオエンコーダ20は、画像データをMPEG方式に符号化する画像処理部21と、複数の画素データからなる画像データが順次入力されるビデオ・インタフェース22と、該ビデオ・インタフェース52に接続されると共に画像処理部21及びSDRAM30との間でデータを送受するためのSDRAM・インタフェース23と、SDRAM・インタフェース23に接続されると共にMPEG方式に符号化して得られるビットストリームを外部に出力するためのストリーム・インタフェース24とを備えている。

【0027】ここで、本発明の特徴は、所定数の画素データからなるマクロブロック単位で画像処理が行われる際に、データ転送効率の改善を図るために、入力されてくる画像データを受けて、同一のマクロブロックに属する各画素データを、同一のバンクにおける同一のロウに記憶させることにある。

【0028】従って、本実施の形態においては、図2に示される様に、SDRAM・インタフェース23は、夫々、以下に示す機能を有するような、バッファRAM231と、アドレス生成器232と、制御部233とを備

えることとする。バッファRAM231は、ビデオ・インタフェース22を介して、画像データを受けて、一時的に記憶するためのものである。アドレス生成器232は、バッファRAM231に一時的に記憶された画像データをSDRAM30に格納する際に、SDRAM30のどこに格納するかを示すアドレスを生成するためのものである。制御部233は、バッファRAM231に一時的に記憶された画像データの内、同一のマクロブロックに属すべき各画素データを、同一のバンクにおける同一のロウに記憶させる様に、アドレス生成器232を制御するためのものである。更に、本実施の形態において、制御部233は、一枚の画像（フレーム画像）を構成する複数のマクロブロックに関し、フレーム画像上の上下左右において隣接するマクロブロック同士を、互いに異なるバンクに記憶させる様に、アドレス生成器232を制御するためのものである。特に、本実施の形態においては、SDRAM30がA及びBの2つのバンクを有しているため、制御部233は、フレーム画像上の各マクロブロックの記憶先バンクを市松状に割り振るように、アドレス生成器232を制御する。

【0029】このような構成を備えた本実施の形態の画像処理装置において、フレーム画像を構成する各画素データは、例えば輝度成分データYについて図3に示される様に、A又はBのいずれかのバンクの所定のロウに記憶される。即ち、各マクロブロックを構成する16個のサブブロックは、各マクロブロック毎に同一のバンクの同一のロウに記憶される。また、フレーム画像上において、各マクロブロックの記憶バンク先は、市松状に割り振られている。

【0030】このような構成を備えた本実施の形態の画像処理装置は、動き補償等のマクロブロック単位で行われる画像処理時において、バンク及びロウを指定するアドレスを変更することなく、同一のマクロブロックに属する各画素データのデータ転送が行えることから、従来と比較して、必要とするクロック数を減らすことができ、もって転送効率の改善を図ることができる。

【0031】また、マクロブロックとは異なる単位でデータ転送を行う場合においても、フレーム画像を構成するマクロブロックの夫々が、上下左右において隣接する他のマクロブロックと異なるバンクに記憶されていることから、必要とする画像データを転送する際に、異なるバンクを交互にアクセスすることができ、転送効率を高めることができる。必要とする画素データが4つのマクロブロックに跨がっている場合、例えば、バンクA、バンクB、バンクA、バンクBの順に、バンクA及びバンクBに対して交互にアクセスすることが出来る。また、必要とする画素データが9つのマクロブロックに跨がっている場合、例えば、バンクA、バンクB、バンクA、バンクB、バンクA、バンクB、バンクA、バンクB、バンクAの順に、バンクA及びバンクBに対して交互に

アクセスすることが出来る。

【0032】以下に、本実施の形態の効果を明確に示すために、従来構成の画像処理装置と本実施の形態の画像処理装置とにおけるデータ転送の例について、図4乃至図7を用いて説明する。ここで、本データ転送例は、バースト長が4ワードの場合であり、4ワードで一つのサブブロックが構成され、マクロブロックは、16個のサブブロックからなるものとして説明する。また、以下においては、輝度成分のデータ転送を例にとり、同一のマクロブロックに属する64ワード転送するために必要とするクロック数について説明する（図3及び図9参照）。

【0033】ここで、図4は、本実施の形態の画像処理装置における読出動作を示すタイミングチャートであり、図5は、本実施の形態の画像処理装置における書込動作を示すタイミングチャートである。また、図6は、従来構成の画像処理装置における読出動作を示すタイミングチャートであり、図7は、従来構成の画像処理装置における書込動作を示すタイミングチャートである。更に、図4乃至図7においては、CAS（ber）レーテンシ＝3の場合が示されている。尚、図4乃至図7において、RDx及びWRxは、夫々リード・コマンド及びライト・コマンドである。アクティブ・コマンドACTxは、A0-A10で選択されたロウ・アドレスをアクティブにするためのコマンドである。また、リード・オート・プリチャージ・コマンドRDAxは、リードした後、オート・プリチャージをするためのコマンドであり、ライト・オート・プリチャージ・コマンドWRAxは、ライトした後、オート・プリチャージをするためのコマンドであり、夫々、後に続くPRExと連動している（xは、a又はbであり、夫々、バンクA又はBを示す。）。

【0034】まず、本実施の形態の画像処理装置において、上記64ワード転送するために必要とするクロック数は、以下に示す様になる。

【0035】即ち、本実施の形態においては、上記64ワード、1マクロブロックを構成する画素データが全て、同一のバンクの同一のロウに記憶されている。

【0036】従って、本実施の形態の画像処理装置においては、図4及び図5から理解される様に、64ワードのデータ転送をするために、アクティブ・コマンドACTaを一回発行し、その後、リード・コマンドRDa／ライト・コマンドWRAを15回発行し、最後にリード（／ライト）・オート・プリチャージ・コマンドRDAa/WRAaを1回発行している。

【0037】その結果、本実施の形態の画像処理装置において必要とされるクロック数は、 $3 + 4 \times 15 + 5 + 4 = 72$ クロックと求められる。尚、詳細な内訳は、ACTa→RDa/WRaに3クロック（×1回）、RDa→RDAa/WRAa又はWRA→WRAaに4クロック（×15回）、RDAa/WRAa→PREa開始まで5クロック（×1回）、プリチャー

ジ開始から終了まで4クロック（×1回）である。

【0038】また、このことから、64ワードを転送するための転送効率 $\frac{64}{72} \times 100 = 88.9\%$ と求められる。

【0039】一方、従来構成の画像処理装置において、上記64ワード転送するために必要とするクロック数は、以下に示す様になる。即ち、従来構成の画像処理装置においては、A及びBの二つのバンクに連続して4ワードずつ転送するために必要とするクロック数（即ち、ACTaから次のACTaまでに要するクロック数）が、11クロック（×8回）であり、最後にバンクBのデータを転送するためのコマンドを入力して2クロック経過後からバンクBのプリチャージが終了するまでに要するクロック数が、5クロックであることから、64ワード転送するために必要とするクロック数は、合計して、 $11 \times 8 + 5 = 93$ クロックと求められる。

【0040】また、このことから、64ワードを転送するための転送効率 $\frac{64}{93} \times 100 = 68.8\%$ と求められる。

【0041】これらのことから理解される様に、本実施の形態の画像処理装置は、従来構成の画像処理装置と比較して、同一マクロブロックを構成する64ワードのデータ転送に要するクロック数を、21クロックも削減することができる。また、本実施の形態の画像処理装置は、同64ワードを転送するための転送効率について、20.1%も改善することができる。

【0042】尚、本実施の形態においては、マクロブロック単位で画像処理を行う際のデータ転送効率の改善を図るために、SDRAM・インタフェース23に、バッファRAM231、アドレス生成器232、制御部233を備えているものを例として、説明してきたが、上記3つの構成要素と同様の機能を有するものをSDRAM・インタフェース23より画像データ入力側に設け、従来例のように動作するSDRAM・インタフェースであっても、同一のマクロブロックに属する画素データが同一のバンクにおける同一のロウに格納される様に、更に、フレーム画像上において各マクロブロックが市松状に異なるバンクに記憶される様に、並び替えることとしても良い。

\*【0043】また、本実施の形態においては、画像処理装置として、MPEG方式ビデオエンコーダと、SDRAMとを備えているものについて説明してきたが、本発明の概念は、これに限らず、フレームメモリとしてSDRAMを備え、マクロブロック単位で特定の画像処理を行うような画像処理装置に適用可能であることは言うまでもない。

【0044】

【発明の効果】以上説明してきた様に、本発明によれば、マクロブロック単位にデータ転送する際における、転送効率の改善が図られたSDRAMを有する画像処理装置が得られる。

【図面の簡単な説明】

【図1】本実施の形態の画像処理装置の構成を示すブロック図である。

【図2】本実施の形態のSDRAM・インタフェースの構成を示すブロック図である。

【図3】本実施の形態の画像処理装置におけるフレーム画像上の各画素データの記憶先を示す図である。

【図4】本実施の形態の画像処理装置における読出動作を示すタイミングチャートである。

【図5】本実施の形態の画像処理装置における書込動作を示すタイミングチャートである。

【図6】従来構成の画像処理装置における読出動作を示すタイミングチャートである。

【図7】従来構成の画像処理装置における書込動作を示すタイミングチャートである。

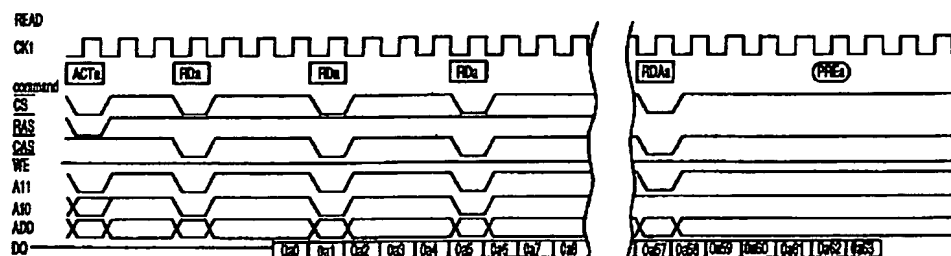
【図8】従来の画像処理装置の構成を示すブロック図である。

【図9】従来の画像処理装置におけるフレーム画像上の各画素データの記憶先を示す図である。

【符号の説明】

10	画像処理装置
20	MPEG方式ビデオエンコーダ
21	画像処理部
22	ビデオ・インタフェース
23	SDRAM・インタフェース
24	ストリーム・インタフェース
* 30	SDRAM（同期型ダイナミックラム）

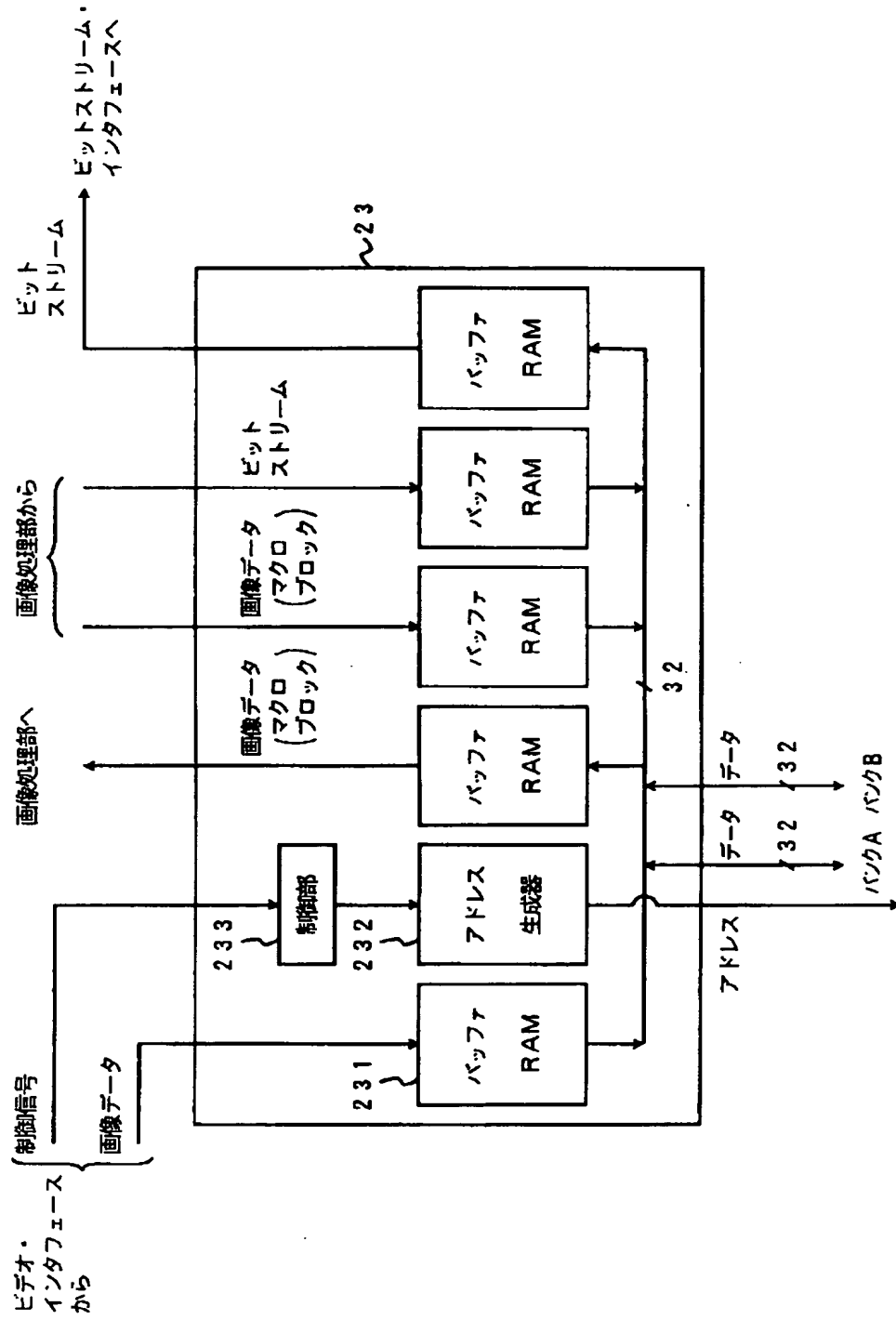
【図4】



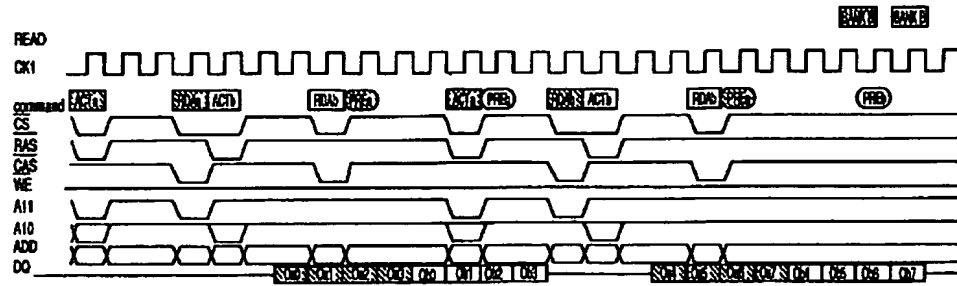




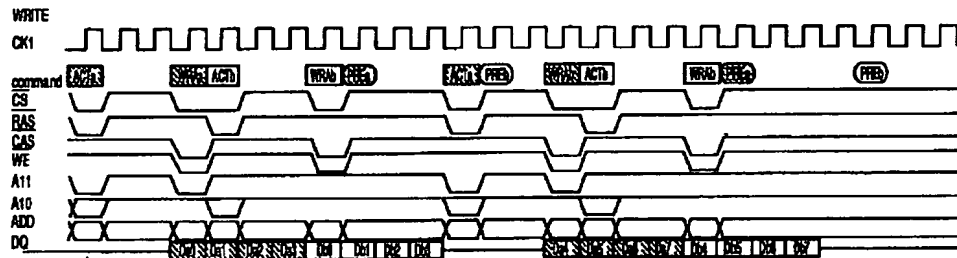
【図2】



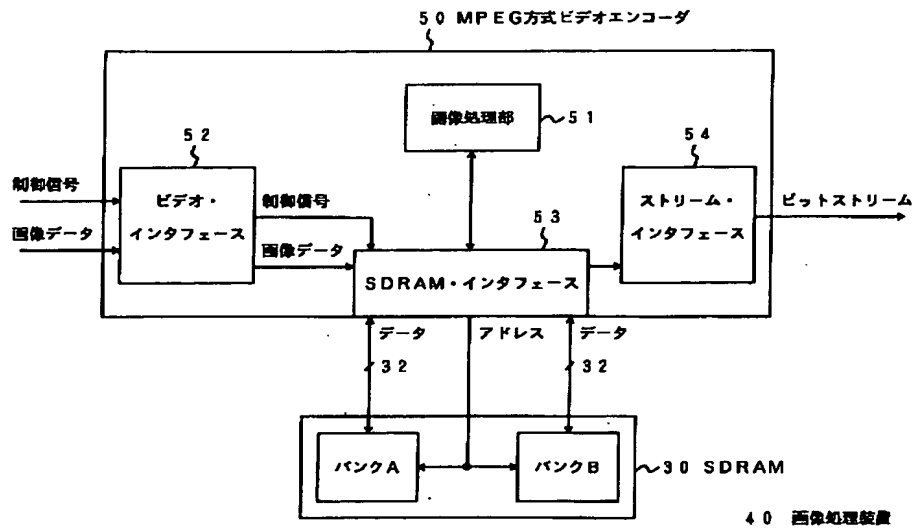
【図6】



【図7】



【図8】



【図9】

